

Type	Hits	Search Text	DBs	Time Stamp	Comments	Error Definition
RC	1206	((tft thin adj3 transistor\$2) ((LIQUID adj3 US- DISPLAY\$2) (LCD)))	USPAT; US- PGP UB	2002/05/16 18:10		
RC	954	((check\$4 evaluate\$4 inspect\$4) same (cut\$4 slice\$4)) and 1	USPAT; US- PGP UB	2002/05/16 18:10		
RC	72	(((ground\$3 constant lcs\$2) adj2 (potential volt\$2 power) same (drive\$3)) and 2	USPAT; US- PGP UB	2002/05/16 18:11		
RC	1567	(wavelength same fluorescent) and 3	USPAT; US- PGP UB	2002/05/16 17:57		
RC	1568	(wavelength same (phosphor\$4 fluorescent)) and 3	USPAT; US- PGP UB	2002/05/16 17:58		
RC	366	(wavelength same (phosphor\$4 fluorescent) and (tft thin adj3 transistor\$2)	USPAT; US- PGP UB	2002/05/16 18:24		
RC	393	((LIQUID adj3 DISPLAY\$2) (LCD) (panel\$2)) and 6	USPAT; US- PGP UB	2002/05/16 18:02		
RC	103	((check\$4 evaluate\$4 inspect\$4) and 7	USPAT; US- PGP UB	2002/05/16 18:04		
RC	49	((drive\$2 and (pad\$3 terminal\$3)) and 8	USPAT; US- PGP UB	2002/05/16 18:06		

Type	Hits	Search Text	DBs	Time Stamp	Comments	Error Definition
1	1	((tft thin adj3 52981 transistors2) ((LIQUID adj3 DISPLAY\$2) (LCD))) T	EPO; JPO; DERWEN	2002/05/16 18:10		
2	125	((check\$4 evaluates4 inspect\$4 same (cut\$4 slice\$4) and 10 slic\$4) and 10 slic\$4) T	EPO; JPO; DERWEN	2002/05/16 18:11		
3	165	((check\$4 evaluates4 inspect\$4) and (cut\$4 slice\$4)) and 10 slic\$4) T	EPO; JPO; DERWEN	2002/05/16 18:25		
4	0	((((ground\$3 constant travG\$2) adj2 (potential voltage power) and (driv\$3)) and 12 ((((ground\$3 constant low\$2) adj2 (potential voltage power) (potential voltage power)) and (driv\$3)) and 12 (wavelength and phosphors4 fluorescent) and (tft thin adj3 transistor\$2) T	EPO; JPO; DERWEN	2002/05/16 18:13		
5	12	((check\$4 evaluates4 inspect\$4) and 15 inspect\$4) T	EPO; JPO; DERWEN	2002/05/16 18:24		
6	0	((check\$4 evaluates4 inspect\$4) and 15 inspect\$4) T	EPO; JPO; DERWEN	2002/05/16 18:26		

CLIPPEDIMAGE= JP411133370A

PAT-NO: JP411133370A

DOCUMENT-IDENTIFIER: JP 11133370 A

TITLE: MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND ITS
SHORT-CIRCUIT DEFECT
INSPECTING METHOD

PUBN-DATE: May 21, 1999

INVENTOR- INFORMATION:

NAME	COUNTRY
AMANO, TOSHIHIRO	N/A
FUKUDA, KAZUO	N/A

ASSIGNEE- INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP09298822

APPL-DATE: October 30, 1997

INT-CL_(IPC): G02F001/13; G01R031/00 ; G01R031/02 ; G02F001/133

ABSTRACT:

PROBLEM TO BE SOLVED: To make it possible to easily insect a short-circuit defect between signal liens and between pixel electrodes in the case of adopting short ring structure for short-circuiting a signal line.

SOLUTION: Gate driving voltage is impressed to a gate signal lien short ring 1 for short-circuiting a gate signal line G and source driving voltage is impressed to a source signal lien short ring 2 for short-circuiting a source signal line S. Since a source signal lien Si is turned to the same potential as source driving voltage and DC voltage is not impressed to a source signal line Sj by the DC component cutting action of a capacitor element Cj, a potential difference is generated between the source signal lines Si, Sj. If a short-circuit defect exists between the lines Si, Sj, the voltage of the

position of a short-circuit defect can be inspected by detecting the display

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-133370

(43) 公開日 平成11年(1999)5月21日

(51) Int.Cl.
G 02 F 1/13
G 01 R 31/00
31/02
G 02 F 1/133

識別記号
1 0 1
G 0 1 R 31/00
31/02
5 4 0

F I
G 0 2 F 1/13
G 0 1 R 31/00
31/02
G 0 2 F 1/133

1 0 1
5 4 0

審査請求 未請求 請求項の数2 ○L (全 6 頁)

(21) 出願番号 特願平9-298822

(22) 出願日 平成9年(1997)10月30日

(71) 出願人 000005049

シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 天野 智弘
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 福田 和郎
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

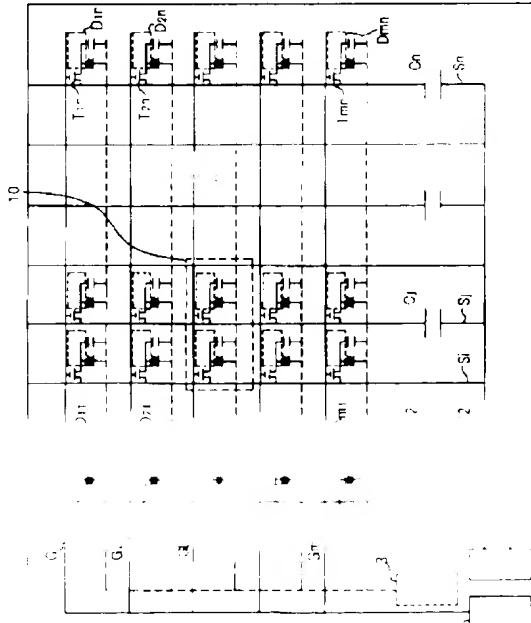
(74) 代理人 弁理士 藤本 博光

(54) 【発明の名称】 マトリクス型の液晶表示装置及びその短絡欠陥検査方法

(57) 【要約】

【課題】 信号線を短絡するショートリング構造を採用する場合に、容易に信号線間及び画素電極間の短絡欠陥を検査することができる。

【解決手段】 ゲート駆動電圧をゲート信号線Gに短絡したゲート信号線ショートリング1に印加し、またソース駆動電圧をソース信号線Sを短絡したソース信号線ショートリング2に印加する。ここで、ソース信号線S1は、ソース駆動電圧と同電位となり、またソース信号線S2は、コンデンサ要素C1の直流成分カット作用によって直流電圧が印加されないため、ソース信号線S1-S2間に電位差V1-V2が生じることとなる。S1-S2間に印加した電位差V1-V2を用いて、ゲート電極Gとソース電極S1-S2との間の短絡欠陥を検査する。



CLIPPEDIMAGE= JP411202289A
PAT-NO: JP411202289A
DOCUMENT-IDENTIFIER: JP 11202289 A
TITLE: LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: July 30, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
OGAWA, MEIKO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP05050667

APPL-DATE: March 11, 1993

INT-CL_(IPC): G02F001/133; G02F001/136 ; G09F009/35 ; H01L029/786
; H05K009/00

ABSTRACT:

PURPOSE: To make a liquid crystal display device possible to evaluate and display the characteristics of elements even without disconnecting a short-circuiting line by connecting wiring on an active matrix substrate for driving through one TFT to the short-circuiting line.

CONSTITUTION: A TFT 1 consisting of a resistor is inserted between wiring 2 such as address wiring, data wiring or auxiliary capacity wiring on the active matrix substrate for liquid crystal driving and a short-circuiting line 3 for protecting the elements in a display area from static electricity. A voltage can be impressed from a pad A for gate electrode to the respective gate electrodes of the TFT 1, the threshold value of the TFT 1 is controlled high or low and the TFT 1 is conducted or cut so that resistance coupling the related wiring 2 and short-circuiting line 3 can be controlled. Thus, by setting the threshold voltage of the TFT 1 low during production and setting the threshold voltage high after completion, the influence of static electricity is more

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-202289

(43)公開日 平成11年(1999)7月30日

(51)Int.Cl.
G 0 2 F 1/133
1/136 5 0 0
G 0 9 F 9/35
H 0 1 L 29/786
H 0 5 K 9/00

F I
G 0 2 F 1/133 5 5 0
1/136 5 0 0
G 0 9 F 9/35
H 0 5 K 9/00 A
H 0 1 L 29/78 6 1 2 C

審査請求 未請求 請求項の数1 OL (全 7 頁)

(21)出願番号 特願平5-50667

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成5年(1993)3月11日

(72)発明者 小川 盟子

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦

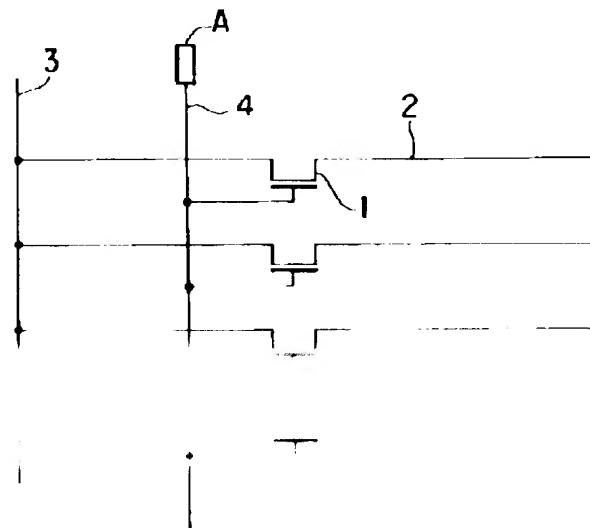
(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 短絡線を切り離さずに表示領域内の素子特性評価ができ、完成後も短絡線を切り離さずに表示可能で、より静電気から影響されにくい構造を有する液晶表示装置を、より少ない素子で実現することを目的とする。

【構成】 複数のアドレス線と、複数のデータ線と、これらの交差部の近傍の画素電極と、交差部に隣接して配置され、アドレス線、データ線、画素電極にそれぞれ接続される抵抗を有する液晶表示装置。

前記構成によれば、表示領域中の各画素電極は、印外線干渉線、データ線のうちの少なくとも1本を直接または抵抗を介して短絡する構造を有する液晶表示装置において、アドレス線およびデータ線のうちの少なくとも1本の配線が、表示領域中のFETと異なるしきい値の上昇干渉線または電気的制御可能な上昇干渉線を用いて形成した抵抗を介して短絡線に接続されていることを特徴とする。



【特許請求の範囲】

【請求項1】複数のアドレス配線と、
このアドレス配線に絶縁膜を介して交差部を形成する複数のデータ配線と、
当該交差部毎に配置された複数の画素電極を有する表示領域と、
当該交差部に隣接して配置され、前記アドレス配線に電気的に接続された制御電極、前記データ配線に電気的に接続された第1の主電極および前記画素電極に電気的に接続された第2の主電極を有する複数の電界効果トランジスタと、
前記表示領域以外の領域において設けられた少なくとも1つの短絡線と、
前記アドレス配線および前記データ配線のうちの少なくとも1本の配線を、前記表示領域中の電界効果トランジスタとは異なるしきい値を有する電界効果トランジスタまたは電流路の電気抵抗が電気的に制御可能である電界効果トランジスタのいずれかを使用した前記短絡線に接続するための短絡手段とを備えてなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】
【産業上の利用分野】本発明は、液晶表示装置に関し、特に、短絡線を備えた液晶表示装置に関する。

【0002】

【従来の技術】液晶ディスプレイ（以下、液晶表示装置という）は、軽量、薄形化が可能であり、低消費電力であることから、携帯用TV、ラップトップパソコンのディスプレイ等に応用されており、大型化、高精細化等の研究開発も各所で行われている。

【0003】液晶表示装置は、液晶駆動用マトリクス基板と対向基板との間に液晶を封入することによって構成される。この液晶駆動用マトリクス基板としては、互いに交差する複数本ずつのアドレス配線およびデータ配線と、アモルファスSi（以下、a-Siと略す）あるいはポリSi（以下、p-Siと略す）により構成された薄膜トランジスタ（以下、TFTという）またはMIM素子とを基板上に配列したアクティブマトリクス基板が知られている。

（4） 液晶駆動用回路（本回路を「駆動回路」と呼ぶ）： 本回路は、印字部の印字用基板を静電気による劣化から保護するために、アクティオノマトリクス上のアドレス配線 109a およびデータ配線 109b が表示領域以外の領域で配線材料を用いて形成された短絡線 103 に短絡されている構造を当該液晶表示装置製造工程中に保有していることが多い。この短絡線 103 を切り離して初めて当該液晶表示装置の点灯評価をすることが可能となる。従って、短絡線 103 を切り離す前の製

14

b等の配線の線欠陥を検出することはできるが、表示領域内の素子すなわちTFT120および液晶121からなる画素部分の特性を評価することは不可能である。

【0005】このように、従来の液晶駆動用アクティブマトリクス基板には、短絡線103を切り離す前は点欠陥の検出は不可能であるという不具合があった。また、静電気から回路を保護するための短絡線103は、液晶表示装置完成時には切り離しているため、短絡線切り離し後は静電気の影響を受けやすい構造になるという不具合があった。

【0006】一方、短絡線と各配線との間にTFTで形成した抵抗を挿入することにより、短絡線を切り離さなくても、表示領域内の素子の特性を測定することができる液晶表示装置が提供されている。例えば、特開昭63-220289において開示されている液晶表示装置は、短絡線に接続されたドレインおよびゲートとアドレス配線、データ配線等の配線に接続されたソースとを有する第1のTFTと、同一の配線に接続されたドレインおよびゲートと同一の短絡線に接続されたソースとを有する第2のTFTとを用いて形成した抵抗により、短絡線と各配線とを接続する構成を採用している。

【0007】それゆえ、このような抵抗を1つ形成するためにはTFTが少なくとも2つ必要であり、各配線にこのTFTによる抵抗を接続する場合、素子数の増大を招くという問題点があった。また、ゲート電極は各配線に直接接続されているため、この抵抗として使用しているTFTのゲート電極を電気的に制御したり、このTFTのしきい値電圧を独立して制御したりすることは不可能であるという不都合があった。

30 (0008)

【発明が解決しようとする課題】本発明は、上記事情を考慮してなされたもので、液晶表示装置製造の工程中には、静電気から当該液晶表示装置の液晶駆動用アクティブマトリクス基板を静電気から保護するための短絡線を切り離さなくても、表示領域内の素子の特性を評価することができ、かつ、液晶表示装置完成後にあっては、短絡線を切り離さなくても表示が可能であり、従って静電気に対して影響されにい構造を与える手段であって、少ない素子でそのような構造を実現した手段を有す

【課題を解決するための手段】本発明の液晶表示装置は、複数のアドレス配線と、このアドレス配線に絶縁膜を介して交差部を形成する複数のデータ配線と、当該交差部毎に配置された複数の画素電極を有する表示領域

【0010】当該交差部に隣接して配置され、前記アドレス配線に電気的に接続された制御電極、前記データ配線に電気的に接続された第1の主電極および前記曲率電極

界効果トランジスタと、前記表示領域以外の領域において設けられた少なくとも1つの短絡線と、

【0011】前記アドレス配線および前記データ配線のうちの少なくとも1本の配線を、前記表示領域中の電界効果トランジスタとは異なるしきい値を有する電界効果トランジスタまたは電流路の電気抵抗が電気的に制御可能な電界効果トランジスタのいずれかを使用した前記短絡線に接続するための短絡手段とを備えてなることを特徴とする。

【0012】

【作用】本発明において、液晶駆動用アクティブマトリクス基板上の各配線と短絡線とを接続するTFTのゲート電極に、所定の電圧を印加することにより、当該TFTのしきい値を高く調整あるいは低く調整し、また、当該TFTを導通あるいは遮断することにより、関連する配線と短絡線とを結合する抵抗分を制御する。これにより、液晶表示装置製造工程中はこのTFTしきい値電圧を低く設定することで抵抗を低くして、静電気の影響を受けにくい構造にすることができる。

【0013】また、液晶表示装置製造工程中において、配線と短絡線との間のTFTのしきい値を低く設定している時においても、ゲート電極に十分なマイナス電圧を印加することによって、配線および表示領域内のTFTの特性検査を容易に行うことができる。

【0014】さらに、短絡線を製品完成後も短絡線を切り離さずに製品上に残した場合には、静電気の影響を受けにくい構造を提供する。その際、配線と短絡線との間のTFTのしきい値電圧を高く設定することで駆動に与える影響を小さくすることができる。

【0015】

【実施例】以下、図面を参照しながら実施例を説明する。なお、同一部分には同一番号を付して、詳細な説明は省略する。

【0016】図1は、本発明の第1の実施例に係る液晶表示装置の周辺回路部分の等価回路である。この等価回路には、本発明に関連する部分のみを示し、説明の簡略化のために表示領域内の等価回路等は省略する。

【0017】図1の回路はアドレス配線あるいはデータ配線また場合によっては補助容量配線等の液晶駆動用ア

クティブマトリクス基板上に形成する短絡線と接続する。

構成する。アドレス配線を挿入する構造である。この配線とには、表示領域内の各素子が連結されているものとする。

【0018】この抵抗として使用するTFT1のゲート電極は共通の土電極線14に接続され、土電極用のハッチ上方の各々の土電極に電圧を印加することができる。それにより、当該TFT1のしきい値を高く調整あるいは低く調整し、また、当該TFT1を導通しあ

結合する抵抗分を制御することができる。

【0019】次に、配線と短絡線との間に抵抗として挿入するTFT1のしきい値電圧の制御方法の一例について、図2(a)～図2(c)を参照しながら説明する。図2(a)はTFT1の完成時点でのId-Vg特性、図2(b)は液晶表示装置の製造工程におけるTFT1のId-Vg特性、図2(c)は液晶表示装置完成後におけるTFT1のId-Vg特性である。なお、TFT1はn型のトランジスタであるものとして説明する。

【0020】まず、素子としてのTFT1が完成した後に、共通電極制御用パッドAと短絡線3とを使用して、TFT1のゲート電極とソース電極との間にゲート電極がマイナスとなるように、例えば-50Vの電圧を印加する。それにより、図2(a)で示したようなTFT1のId-Vg特性が、図2(b)で示したような特性に変化され、ゲート電極の電位が0Vの時のソース・ドレイン間の抵抗が低くなる。一方、製品完成時には、共通電極制御用パッドAと短絡線3とを使用して、TFT1のゲート電極とソース電極との間にゲート電極がプラスとなるように、例えば50Vの電圧を印加する。それにより、さらに図2(c)で示したような特性に変化され、ゲート電極の電位が0Vの時のソース・ドレイン間の抵抗が高くなる。

【0021】これにより、液晶表示装置製造中は、TFT1のしきい値電圧を低く設定して、より静電気からの影響を受けにくくし、液晶表示装置完成後は、TFT1のしきい値電圧を高く設定して、より静電気の影響を受けにくくし、かつ液晶表示装置の駆動に与える影響をより小さくすることが可能となる。

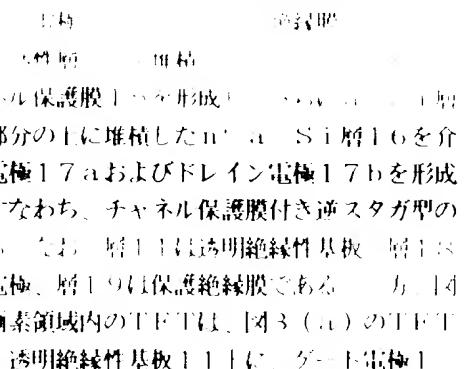
【0022】また、液晶表示装置製造工程中で配線と短絡線との間のTFT1のしきい値を低く設定している時においては、ゲート電極に十分なマイナス電圧を印加することによって、このTFT1の抵抗を十分に大きくすることができるので、配線および表示領域内の素子(図示せず)の特性検査を容易に行うことができる。次に、図3(a)に抵抗となるTFT1の断面図を、図3(b)に画素領域内のTFTおよび表示電極の断面図を示す。

【0023】図3(a)の本発明に係る抵抗となるTFT

構成する。アドレス配線11と土電極線14とを接続する。

構成する。アドレス配線11と土電極線14とを接続する。

構成する。アドレス配線11と土電極線14とを接続する。



膜15, n⁺ a-Si層16, ソース電極17a, ドレイン電極17bおよび保護絶縁膜19を用いて形成され、さらに、ゲート絶縁膜13の上にドレイン電極17bに接続された透明画素電極18が形成されている。

【0024】従って、本発明によれば、抵抗となる TFT 1 には画素領域内の TFT と同じ構造を採用でき、従来の製造工程を変更することなく、この抵抗となる TFT 1 を容易に形成することができる。

【0025】なお、図3(a)および図3(b)には、チャネル保護膜付きの逆スタガ型のTFT構造を示したが、TFTのチャネル部に独立した形でチャネル保護膜のない構造でも構わない。また、トップゲート型のものあるいはコプラナ型のものでもよく、a-Siの代わりにp-Siを使用してもよい。

【0026】以上示したように、本発明によれば、抵抗として挿入するTFT1を表示領域中のTFTと同じ工程により、そのしきい値電圧を電気的に制御することによって、異なるしきい値電圧を有するTFT1を形成することができる。もちろん、TFTの構造、膜構成、各種処理条件等を変えることによって、しきい値電圧の異なるTFTを形成してもよい。

【0027】図4は、本発明の第2の実施例に係る液晶表示装置の周辺回路の等価回路である。この等価回路には、本発明に関する部分のみを表し、説明の簡略化のために表示領域内の等価回路等は省略する。

【0028】図4の回路は、図1の回路と同様に、アドレス配線、データ配線あるいは補助容量配線等の液晶駆動用アクティブマトリクス基板上の配線2と表示領域内の素子を静電気から保護するための短絡線3との間に抵抗となる1つのTFT1が挿入され、TFT1のゲート電極は共通ゲート電極線4に接続される構造を備え、これに加えて、共通ゲート電極線4と短絡線3とが、抵抗となるTFT5を介して接続された構造となっている。また、TFT1が共通電極制御用パッドAによって制御可能であるのと同様に、このTFT5も、共通電極制御用パッドBによって制御可能となっている。すなわち、TFT5を制御することにより、共通ゲート配線4とその他の配線との間に挿入されたこのTFT5の抵抗分を調整することが可能である。

• 116 • 第二章 评估例

同様、(2)の効果を有する。すなはち、
制御回路の抵抗を低く設定する。このよ
り必要時に共通ケーブル配線などとの他の配線との間での絶
縁破壊を防止することができるという効果をも有する。

【0030】ここで、TFTのしきい値電圧の制御方法は、前述したTFTのしきい値電圧の制御方法と同様に、短絡線もしくは共通電極制御用ハットBを用いて実施するものであり、簡略化のために詳細な説明は省略する。

用するTFTを画素領域内のTFTと同じ製造工程で形成してもよいし、もちろん、TFTの構造、膜構成、各種処理条件等を変えることによって、しきい値電圧の異なるTFTを形成しても構わない。

【0032】次に、本発明を液晶駆動用アクティブマトリクス基板に応用した具体的な回路例を図5および図6に示す。すなわち、図5および図6は、本発明に係る第1の実施例をアクティブマトリクス基板上のアドレス配線3およびデータ配線4に応用したものである。

10 【0033】図5は片側に配線9a, 9bを引き出した場合の実施例である。また、図6は交互に配線9a, 9bを引き出した場合の実施例である。図5および図6においては、配線9a, 9bの片側の配線端のみが抵抗となるTFT10a, 10bを介して短絡線3に接続されている構造を例として示している。その代わりに、それぞれの図で、両端において抵抗となるTFT10a, 10bを介して短絡線3に接続されている構造でもよい。

【0034】また、本発明に係る第1の実施例を補助容量線9cのある構造のアクティブマトリクス基板に適用した等価回路を図7に示す。図5と同様にTFT10a, 10bを用いて配線9a, 9bを短絡線3に接続しているのに加えて、TFT10cを用いて補助容量線9cを短絡線3に接続している。従って、補助容量線9cに対しても、以上のアドレス配線およびデータ配線を用いて説明してきた効果と同様の効果が得られる。

【0035】ここで、図5から図7までは、本発明に係る第1の実施例の応用例を示したが、同様に第2の実施例を応用することが可能である。この場合の、図5～図7に対応する回路図は、簡略化のために省略する。

30 【0036】なお、抵抗として使用しているTFTの挿入は、本実施例のようにすべての配線に対して適用するのではなく、そのうちの一部の配線に対してのみ適用しても構わない。また、このTFTのゲート電極をすべて1本の共通ゲート4に接続する代わりに、複数本の共通ゲート配線を設けて、各TFTのゲート電極をいずれかの共通ゲート配線に接続する構成を採用してもよい。もちろん、従来のように、製品完成後に短絡線あるいは抵抗として使用しているTFTおよび短絡線を切り離して使用してもよい。さらに、抵抗として使用する素子にT

（2）各実施例に限定されるものではなく、この要旨を逸脱しない範囲で、種々変形して実施することができる。

〔0037〕

【発明の効果】以上詳述したように、液晶駆動用パネルのマトリクス基板上の配線が上部の TFT を介して短絡線に接続される構造に上り、次の効果が得られる。

【0038】(1) ~~配~~線と知能線との間のTETの1/3

ことで、液晶表示装置製造工程中はしきい値電圧を低く設定して抵抗を低くし、より静電気の影響を受けにくくすることができる。

【0039】(2) 液晶表示装置製造工程中で配線と短絡線との間のTFTのしきい値を低く設定している時においても、ゲート電極に十分なマイナス電圧を印加することによって、このTFTの抵抗を十分に大きくして、配線および表示領域内のTFTの特性検査を容易に行うことができる。

【0040】(3) 短絡線を製品完成後も切り離さずに製品上に残した場合には、より静電気の影響を受けにくい構造を提供する。その際、配線と短絡線との間のTFTのしきい値電圧を高く設定することで駆動に与える影響を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る液晶表示装置の周辺回路部分の等価回路図である。

【図2】図1の液晶表示装置に用いられるTFTの $I_d - V_g$ 特性を示す図である。

【図3】図1の液晶表示装置に用いられるTFTおよび従来の液晶表示装置に用いられるTFTの断面図である。

【図4】本発明の第2の実施例に係る液晶表示装置の周辺回路部分の等価回路図である。

【図5】本発明の液晶駆動用アクティブマトリクス基板への応用例を示す等価回路図である。

【図6】本発明の液晶駆動用アクティブマトリクス基板への他の応用例を示す等価回路図である。

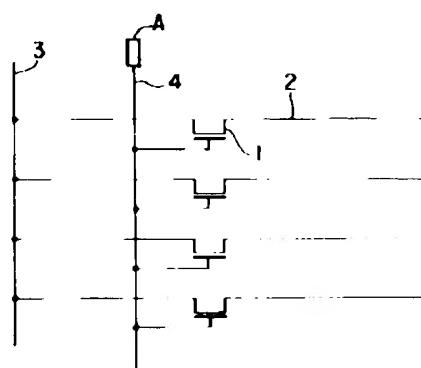
【図7】本発明の液晶駆動用アクティブマトリクス基板へのさらに他の応用例を示す等価回路図である。

【図8】従来の液晶駆動用アクティブマトリクス基板の等価回路図である。

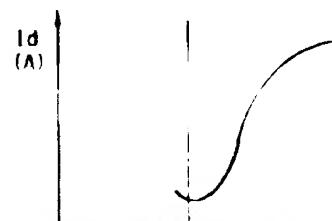
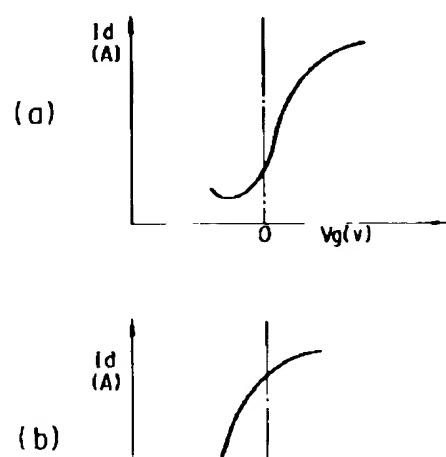
【符号の説明】

1…TFT、
2…配線、
3…短絡線、
4…共通ゲート線、
1 1…透明絶縁性基板、
1 2…ゲート電極、
1 3…ゲート絶縁膜、
1 4…a-Si、
1 5…チャネル保護膜、
1 6…n⁺a-Si、
1 7a…ソース電極、
1 7b…ドレイン電極、
1 8…透明画素電極、
1 9…保護絶縁膜、
Λ…共通電極制御用パッド。

【図1】

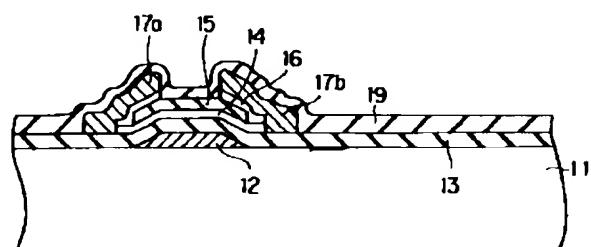


【図2】

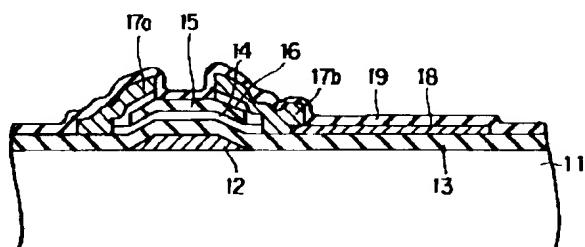


【図3】

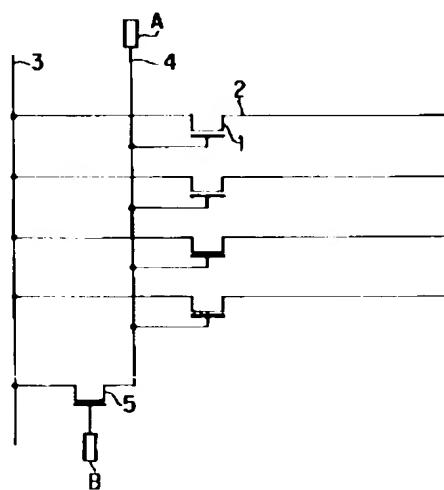
(a)



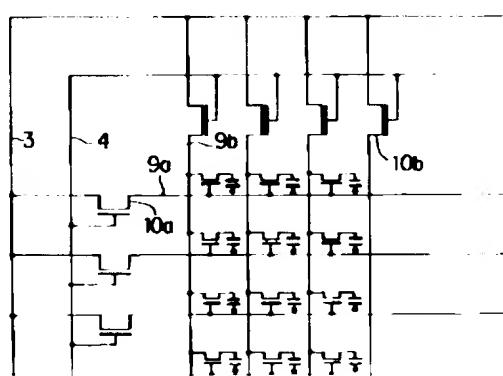
(b)



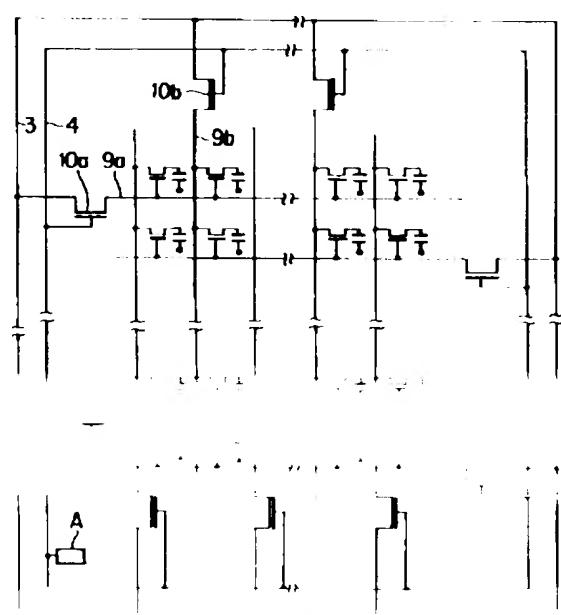
【図4】



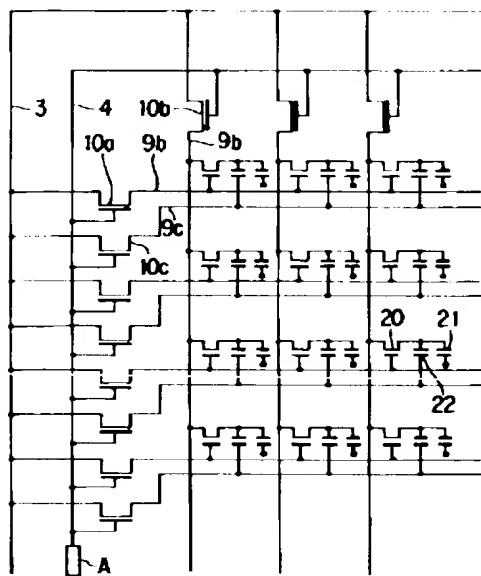
【図5】



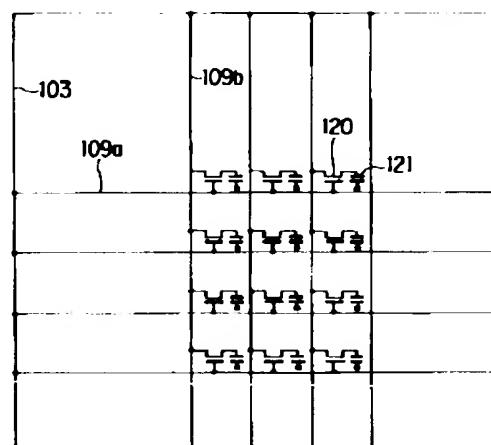
【図6】



【図7】



【図8】



*NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[An easy explanation of a drawing]

[Drawing 1] It is the representative circuit schematic of the circumference circuit fraction of the LCD concerning the 1st example of this invention.

[Drawing 2] It is drawing showing the Id-Vg property of TFT used for the LCD of drawing 1.

[Drawing 3] It is the cross section of TFT used for TFT used for the LCD of drawing 1, and the conventional LCD.

[Drawing 4] It is the representative circuit schematic of the circumference circuit fraction of the LCD concerning the 2nd example of this invention.

[Drawing 5] It is the representative circuit schematic showing the application to the active matrix substrate for a liquid crystal drive of this invention.

[Drawing 6] It is the representative circuit schematic showing other applications to the active matrix substrate for a liquid crystal drive of this invention.

[Drawing 7] It is the representative circuit schematic showing the application of further others to the active matrix substrate for a liquid crystal drive of this invention.

[Drawing 8] It is the representative circuit schematic of the conventional active matrix substrate for a liquid crystal drive.

[An explanation of a sign]

1 -- TFT,

2 -- Wiring,

3 -- Shunt line,

4 -- Common-gate line,

11 -- Transparent insulation substrate,

12 -- Gate electrode,

13 -- Gate insulator layer,

14 -- a-Si,

15 -- Channel protective coat,

16 -- n+a-Si,

17a -- Source electrode,

17b -- Drain electrode,

18 -- Transparent pixel electrode,

19 -- Protection insulator layer.

A -- Pad for common electrode controls.

[Translation done]